

⑫ 公開特許公報(A)

昭63-276915

⑤Int.Cl.⁴ 識別記号 庁内整理番号 ④公開 昭和63年(1988)11月15日
H 03 K 5/15 6959-5J
5/156 6959-5J
// H 03 K 3/64 8626-5J
5/135 7631-5J 審査請求 有 発明の数 1 (全4頁)

⑬発明の名称 タイミング信号発生回路

⑰特 願 昭62-24850

⑱出 願 昭62(1987)2月6日

⑭発明者 木村 浩明 東京都港区芝5丁目33番1号 日本電気株式会社内
⑮出願人 日本電気株式会社 東京都港区芝5丁目33番1号
⑯代理人 弁理士 渡辺 喜平

明 細 書

1. 発明の名称

タイミング信号発生回路

2. 特許請求の範囲

クロック信号を入力し、このクロック信号を一定周期にて計数してその計数結果を出力するカウンタ回路と、このカウンタ回路の出力によるアドレス情報とともに上記クロック信号の周期以下の信号を付加アドレス情報として入力し、これらの情報にもとづき任意のタイミング信号を出力するメモリ回路とを備えたタイミング信号発生回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、任意のクロック信号にもとづき、任意のタイミング信号を発生するための信号発生回路に関し、詳しくは、カウンタ回路とメモリ回路とから構成されたタイミング信号発生回路に関する。

る。

〔従来の技術〕

従来、この種のタイミング信号発生回路では、クロック信号を入力し、そのクロック信号を一定周期にて計数するカウンタ回路と、このカウンタ回路の出力信号をアドレス情報として入力し、このアドレス情報に対して任意のタイミング信号情報を出力するメモリ回路とを備えた構成が一般に採られていた。このような構成の従来回路においては、メモリ回路の記憶内容により、カウンタ回路の出力信号周期間の任意の位置にタイミング信号を出力することが可能となっていた。

第3図はこのような従来のタイミング信号発生回路を示すブロック構成図、第4図は同回路における各信号線のタイムチャートである。

第3図において、1はカウンタ回路、2はメモリ回路である。クロック信号11がカウンタ回路1に入力されると、カウンタ回路1がクロック信

号11を計数した結果を示すカウンタ回路出力信号12を出力する。この出力信号12は、クロック信号11の入力により、カウンタ回路1で設定されている周期ごとに変化する。

メモリ回路2は、カウンタ回路出力信号12を入力し、この信号12によってアドレスされる記憶領域の記憶内容をメモリ回路出力信号13として出力する。なお、第4図に示したメモリ回路出力信号13は、単に一例を示したにすぎず、その時間関係はメモリ回路2の記憶内容による。

上述した従来のタイミング信号発生回路の動作原理は、カウンタ回路1からの各種出力信号12に、メモリ回路2のアドレス情報を対応させることにより、そのアドレス情報で指定されるメモリ回路2の記憶領域における記憶内容の設定状態をそのまま出力し、これにより任意のタイミング信号を発生する手段にもとづいている。

〔解決すべき問題点〕

それにともないタイミング信号を出力するメモリ回路が複数個必要となり、その結果、回路が大形化するという問題があった。特に、メモリICは、外形寸法・ピン数とも通常のロジックICに比べ大きいため、上記の問題は顕著であった。

本発明は上述した問題点にかんがみなされたもので、メモリ回路の数を増加することなくタイミング信号の出力数を増加することのできるタイミング信号発生回路の提供を目的とする。

〔問題点の解決手段〕

上記目的を達成するために本発明は、クロック信号を入力し、このクロック信号を一定周期にて計数してその計数結果を出力するカウンタ回路と、このカウンタ回路の出力によるアドレス情報とともに上記クロック信号の周期以下の信号を付加アドレス情報として入力し、これらの情報にもとづき任意のタイミング信号を出力するメモリ回路とを備えた構成としてある。

上述した従来のタイミング信号発生回路では、メモリ回路のデータ出力数が、使用されるメモリ回路によって固定となっていた。ここで、メモリ回路として使用されているメモリIC(Integrated Circuit: 集積回路)のデータ出力数は、ICの大きさ・ピン数等の制限から、1ビット、4ビット、8ビット等が一般的である。

そのため、従来のタイミング信号発生回路では、出力されるタイミング信号数がメモリ回路のデータ出力数以上に必要な場合、カウンタ回路の出力信号に対し、必要とするタイミング信号数分のメモリ回路を並列に配置、接続しなければならなかった。

第5図は複数個のメモリ回路を並列に接続し、出力されるタイミング信号数を増やした場合の従来例を示すブロック図である。

このように、従来のタイミング信号発生回路では、出力されるタイミング信号の数を増やすと、

〔実施例〕

以下、本発明の一実施例について図面を参照して説明する

第1図は本実施例に係るタイミング信号発生回路を示すブロック構成図、第2図は同回路における各信号線のタイムチャートである。

第1図において、1はカウンタ回路であり、クロック信号11を入力し、一定の周期でこのクロック信号11を計数し、その計数結果を信号12として出力する。つまり、このカウンタ回路出力信号12は、一定の周期を有し、信号11の周期でその値が計数される信号である。

2はメモリ回路であり、信号12をアドレス情報として入力するとともに、クロック信号11を付加アドレス情報として入力する。そして、これらのアドレス情報により指定される記憶領域の記憶内容を信号群13として出力する。

従来の回路では、信号12のみをアドレス情報

としていたため、上記出力信号群13も信号12と同様、信号11の周期で変化していた。これに対し、本実施例の回路においては、信号12の他に信号11もアドレス情報として付加している。これにより、信号12に対応するアドレス情報に割当てられた二個所の記憶領域の記憶内容を、時分割的に出力することとなる。よって、出力信号群13は信号11の半分の周期で変化する。

3はラッチタイミング発生回路であり、クロック信号11にもとづき、抽出タイミング信号14、15を発生する。また、4、5はラッチ回路であり、上記信号群13上に時分割で出力されるメモリ回路2の記憶内容を、ラッチタイミング発生回路3から出力された抽出タイミング信号14、15を用いて、各々の出力タイミング信号群16、17として抽出し、出力する。

上述した本実施例のタイミング信号発生回路では、一個のメモリ回路で、従来二個のメモリ回路

を必要とした場合と同じ個数のタイミング信号を出力することができる。

なお、本実施例は簡単のために、出力されるタイミング信号数を二倍にする構成について説明したが、さらに多くのタイミング信号を必要とする場合にも、本発明を同様に実施できることはもちろんである。

【発明の効果】

以上説明したように、本発明のタイミング信号発生回路は、メモリ回路の数を増やすことなく、同回路を時分割で使用することにより、同回路から出力される任意のタイミング信号の数を増やすことができ、よって回路の小形化に大きな効果がある。

4. 図面の簡単な説明

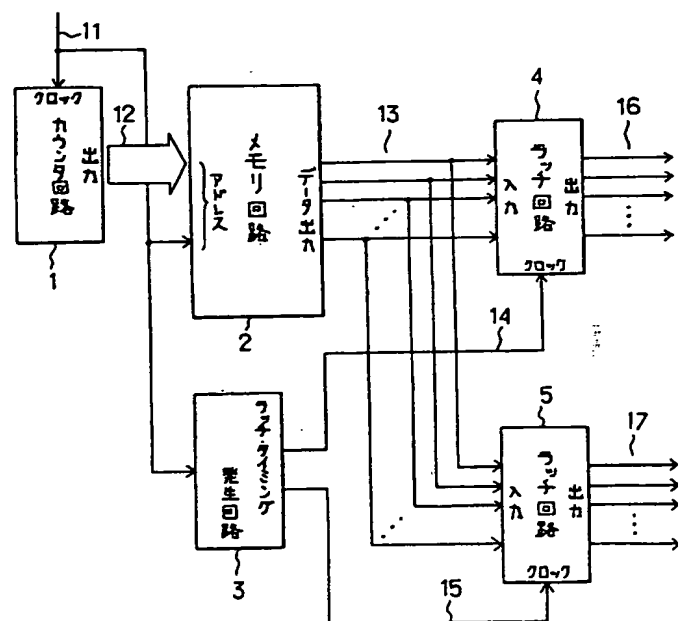
第1図は本発明の一実施例に係るタイミング信号発生回路のブロック構成図、第2図は同回路における各信号線のタイムチャート、第3図は、従

来のタイミング信号発生回路のブロック構成図、第4図は同回路における各信号線のタイムチャート、第5図はタイミング信号の出力数を増加した場合の同回路のブロック構成図である。

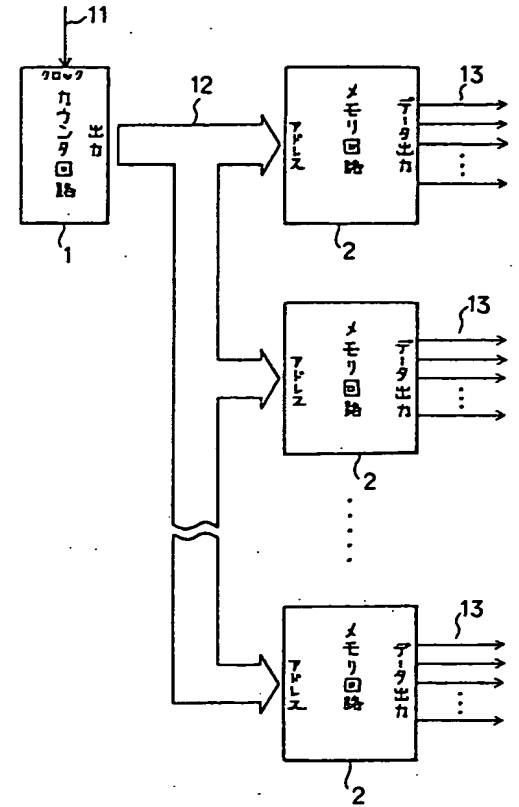
- 1 : カウンタ回路 2 : メモリ回路
3 : ラッチタイミング発生回路
4, 5 : ラッチ回路

代理人 弁理士 渡辺 喜平

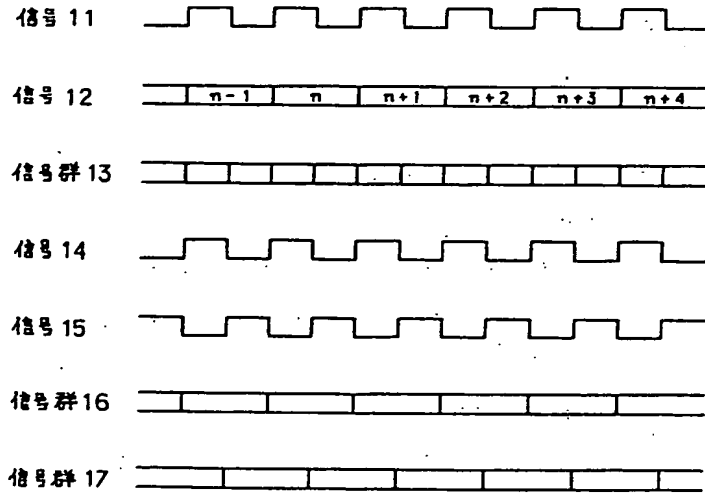
第 1 図



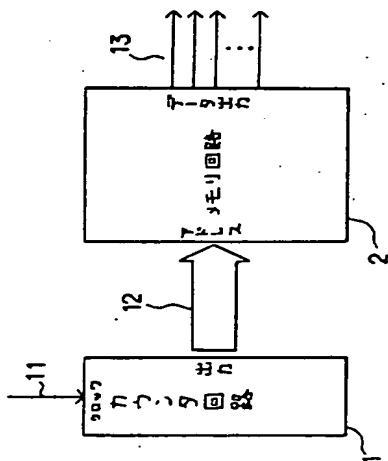
第 5 図



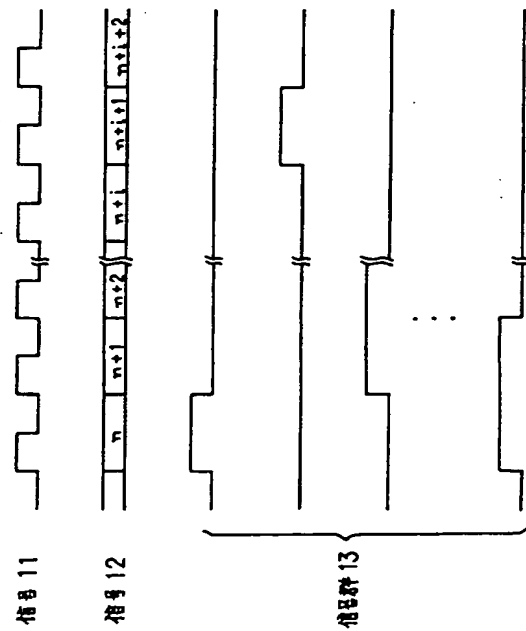
第 2 図



第 3 図



第 4 図



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-276915

(43)Date of publication of application : 15.11.1988

(51)Int.Cl.

H03K 5/15
H03K 5/156
// H03K 3/64
H03K 5/135

(21)Application number : 62-024850

(71)Applicant : NEC CORP

(22)Date of filing : 06.02.1987

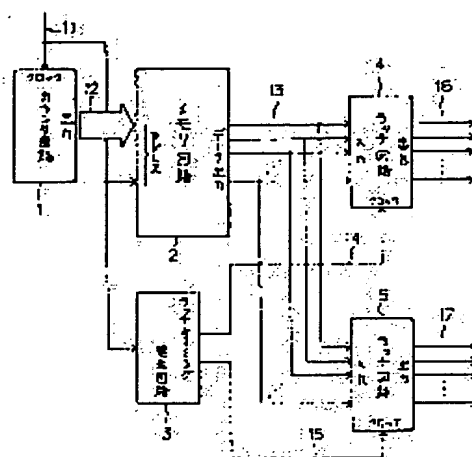
(72)Inventor : KIMURA HIROAKI

(54) TIMING SIGNAL GENERATING CIRCUIT

(57)Abstract:

PURPOSE: To increase number of optional timing signals outputted from a memory circuit by using the circuit in time division receiving a counter output of a clock signal and a signal below the period of the clock signal respectively as an address and an additional address.

CONSTITUTION: The memory circuit 2 receives an output signal 12 of a counter 1 as address information and receives the signal 11 as an additional address. The content of two storage areas assigned to address information corresponding to the signal 12 is outputted in time division and its output signal 13 has a period a half of that of the signal 11. Then extracted timing signals 14, 15 are generated by a latch timing circuit 3 receiving the signal 11. Latch circuits 4, 5 uses the signals 14, 15 to extract the storage content of the circuit 2 as output timing signals 16, 17 and output the result. Thus, the number of optional timing signals is increased to miniaturize the circuit.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office